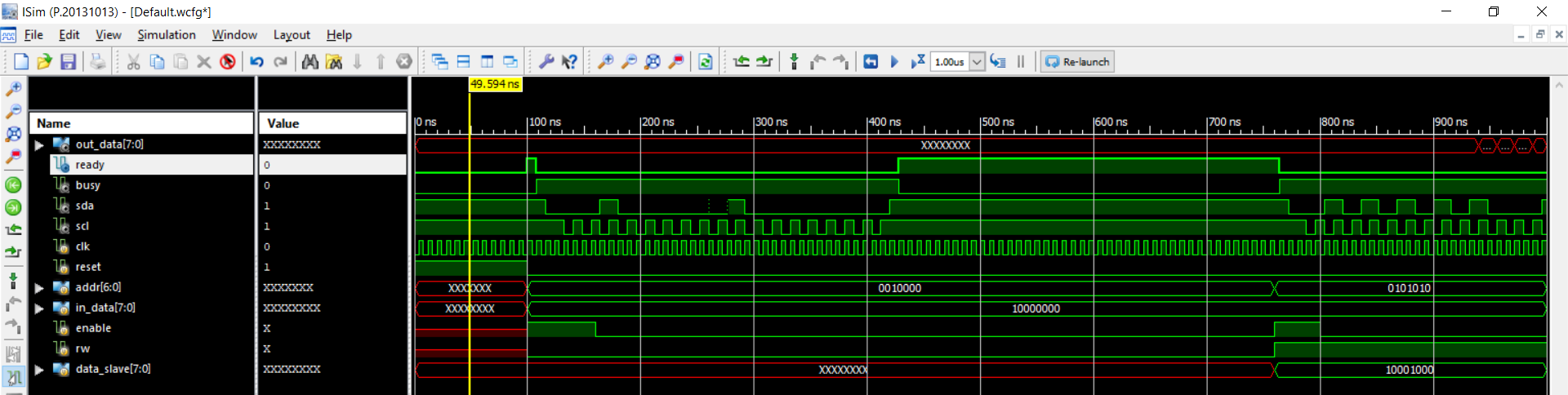
Đồ án 2: DESIGN AND SIMULATION I2C PROTOCOL BY VERILOG

Thời gian: Tuần 10

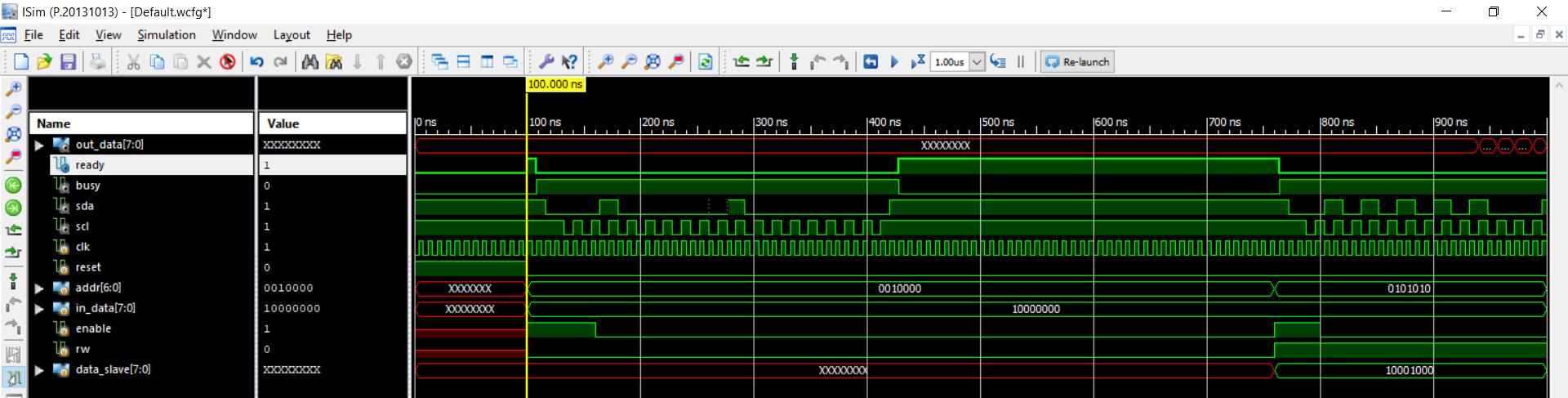
Nội dung: Test Bench + Khối Slave

Master truyền đến Slave mẫu (Test master)

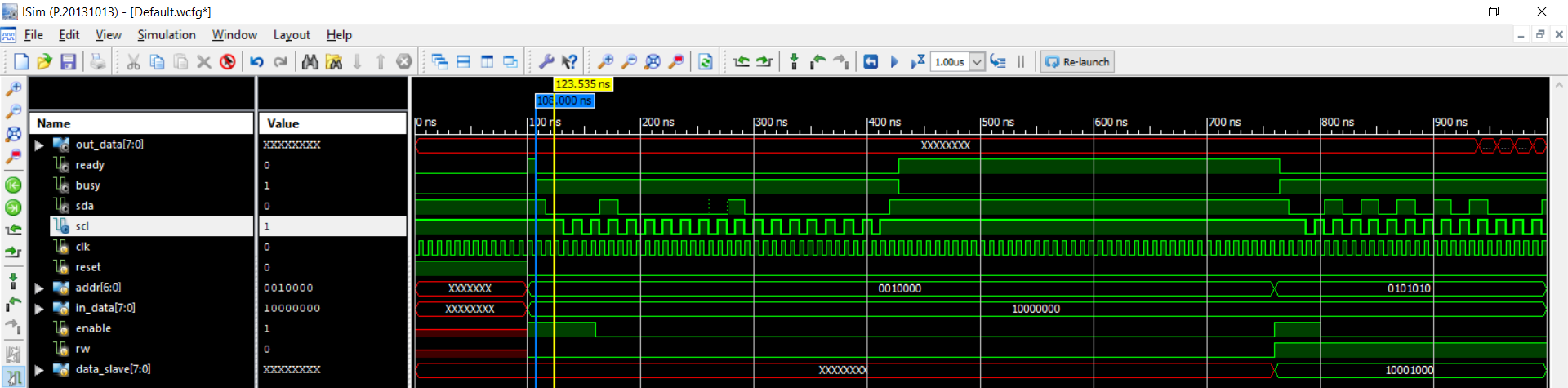
Trạng thái reset



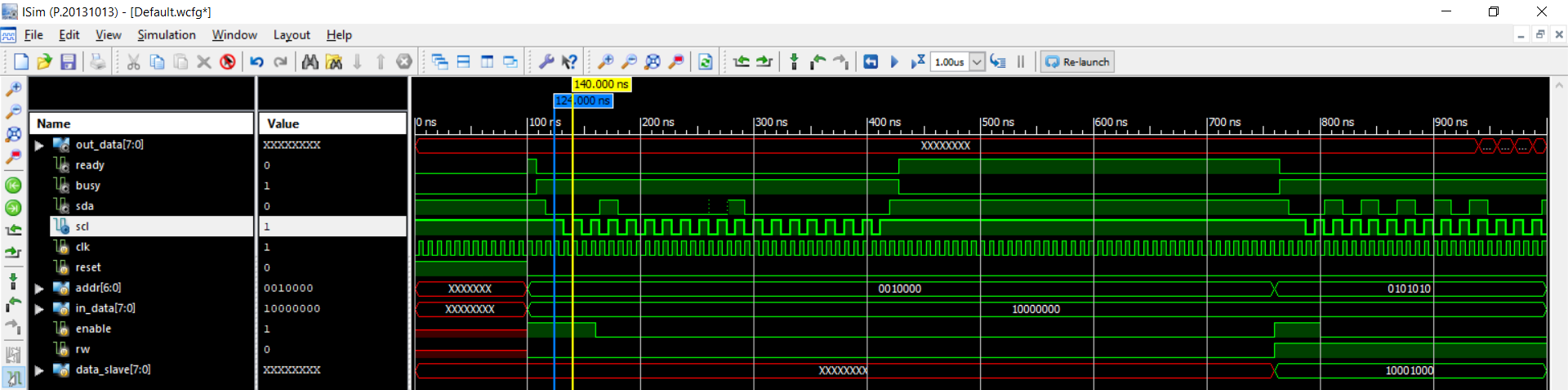
Trạng thái ready



Trạng thái start

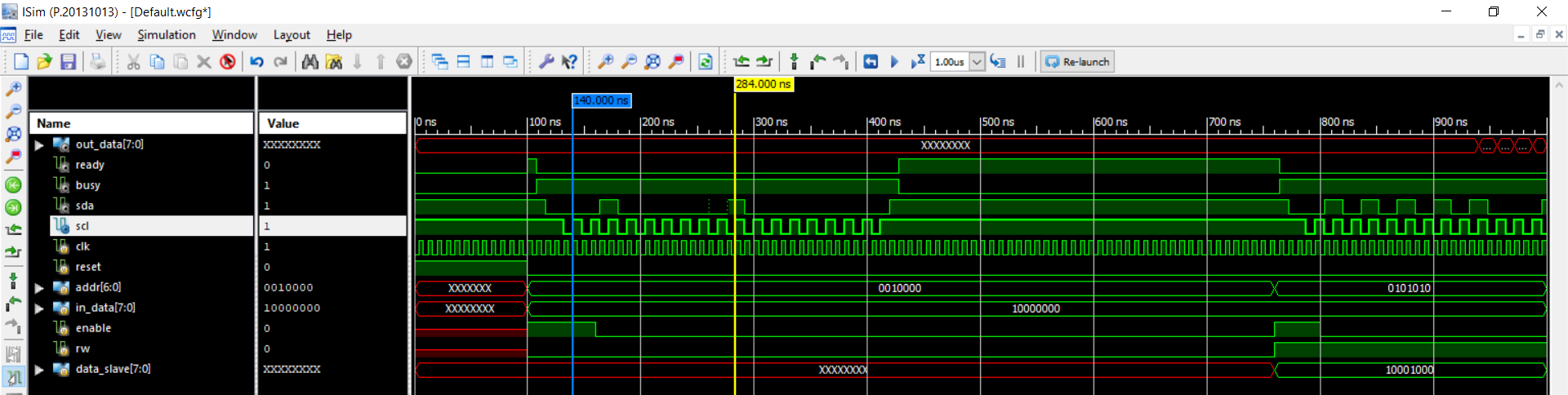


Quá trình thay đổi dữ liệu, chuẩn bị cho quá trình truyền 1-bit đầu tiên



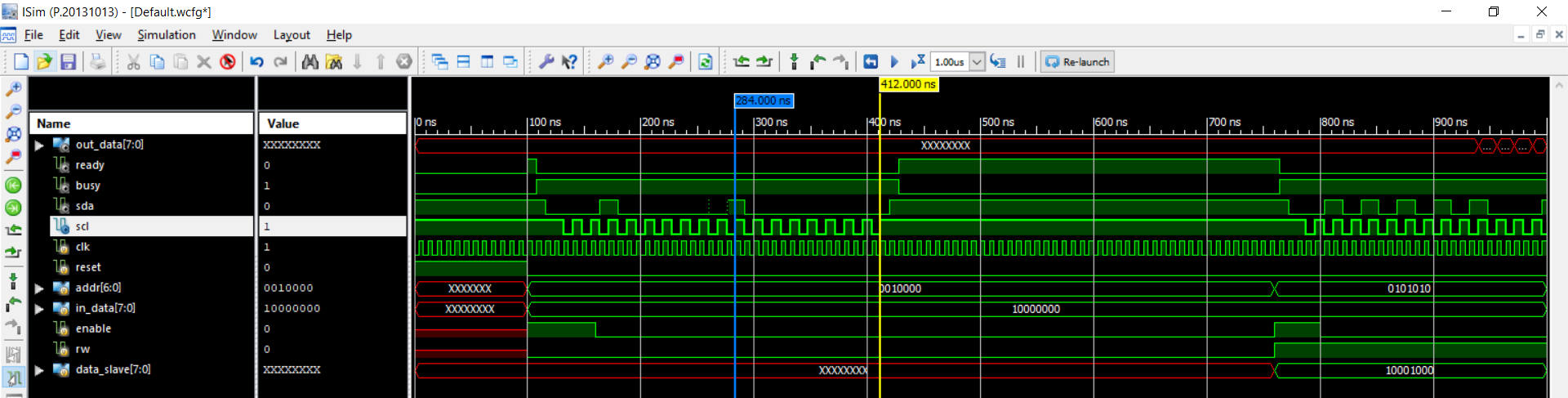
Quá trình tuyền 7-bits địa chỉ và 1-bit RW, 1-bit ACK

7-bits địa chỉ là 001000, 1-bit RW=0, 1-bit ACK=0

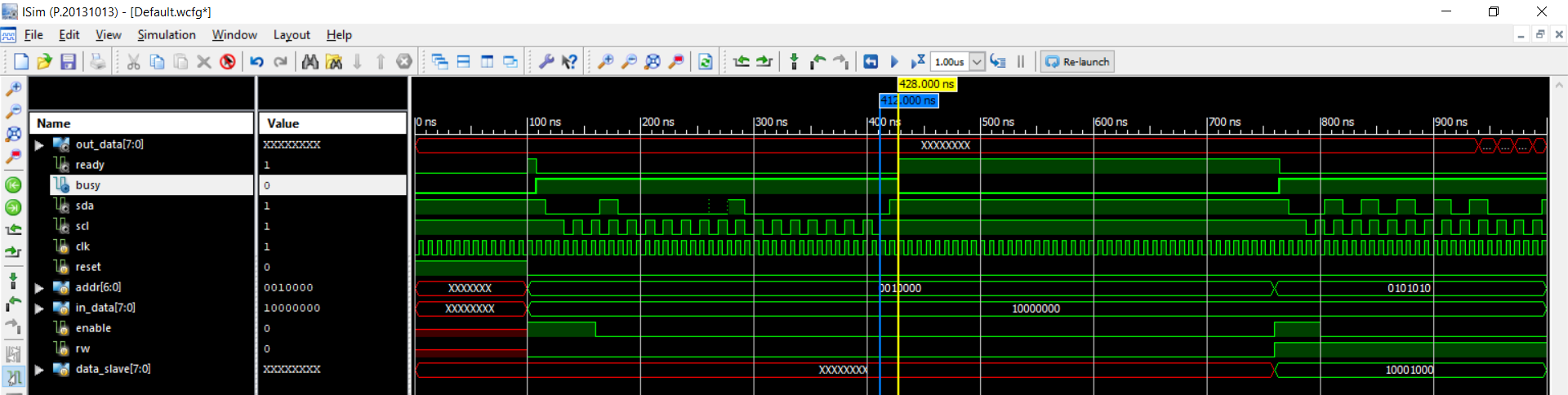


Quá trình truyền 8-bits dữ liệu

8-bits dữ liệu là 10000000

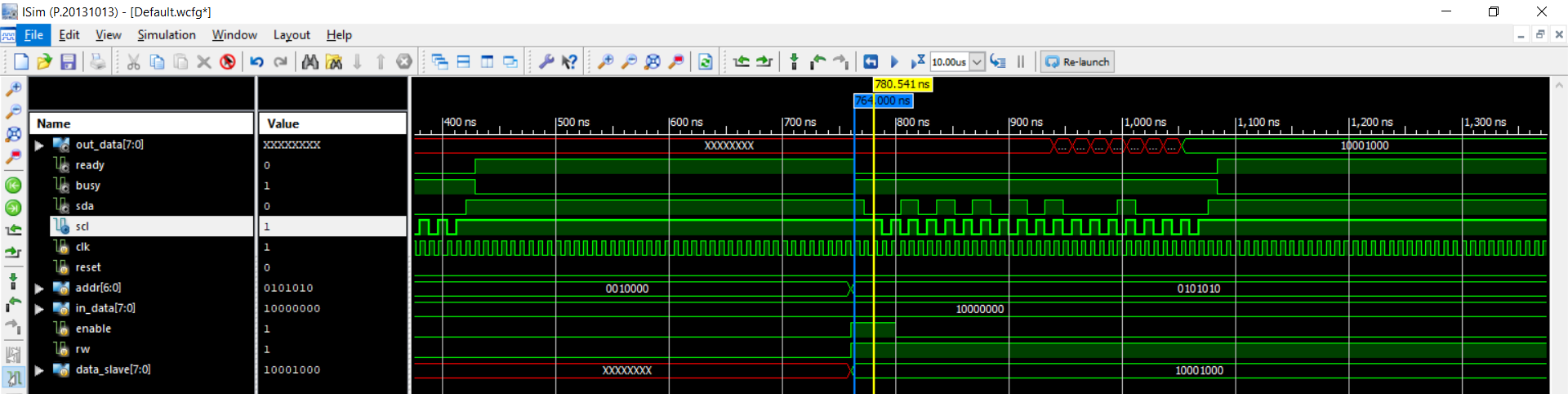


Trạng thái stop

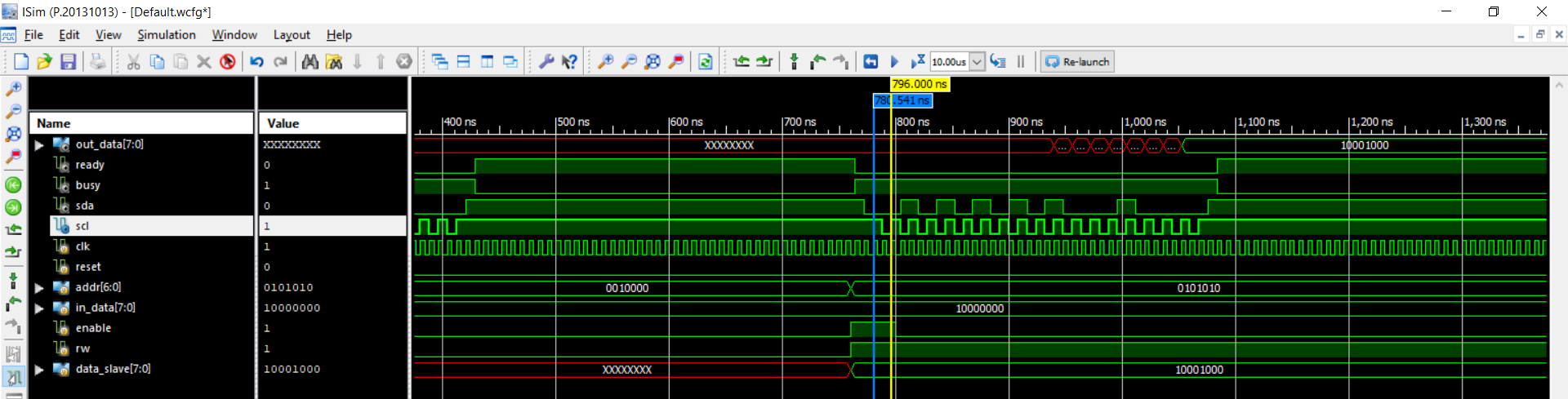


Slave đến master (test Salve)

Trạng thái start

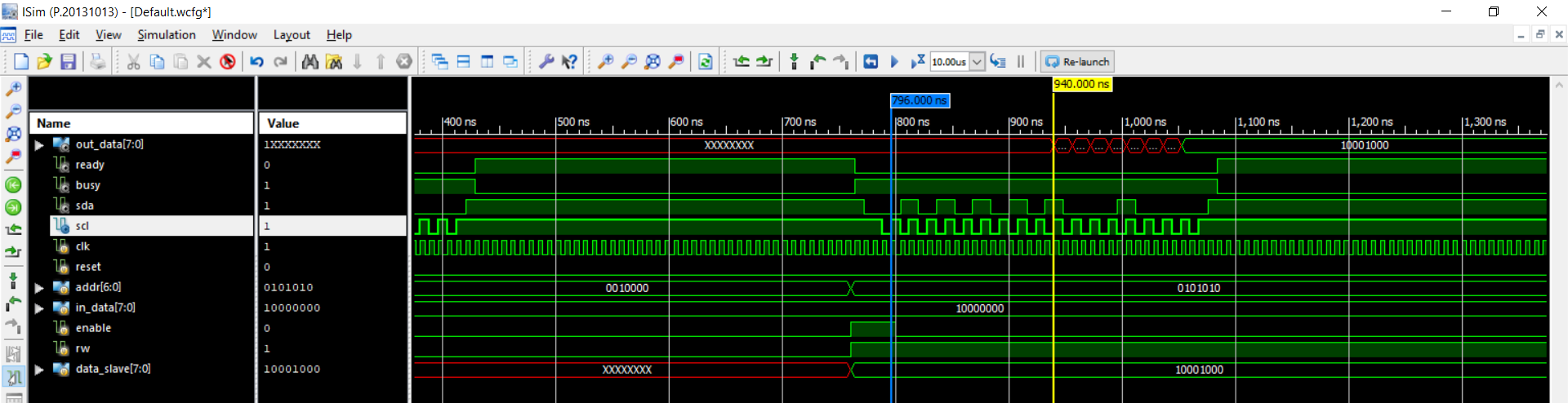


Quá trình thay đổi dữ liệu, chuẩn bị cho quá trình truyền 1-bit đầu tiên



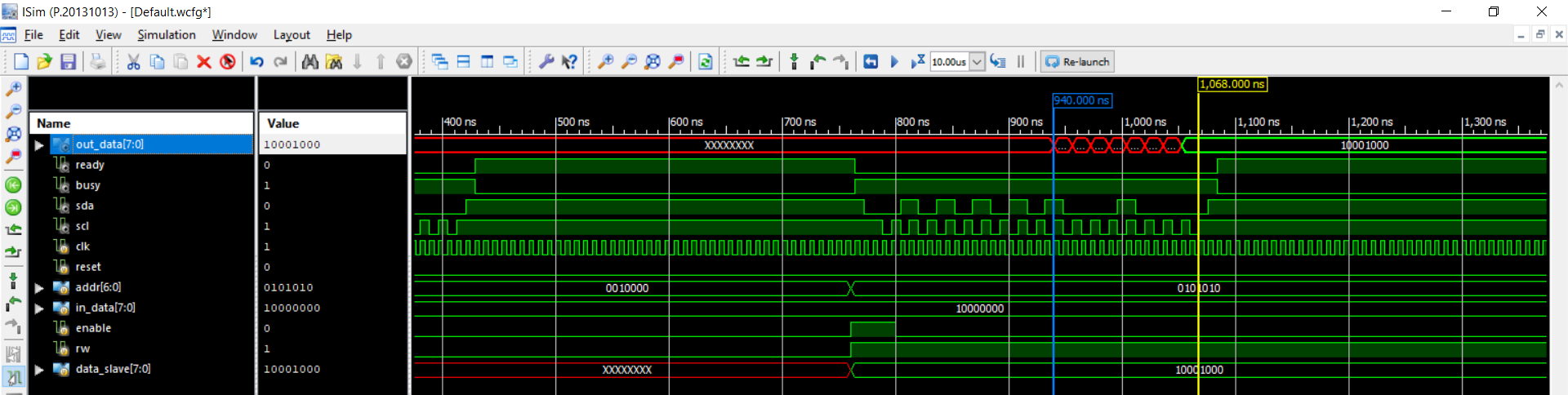
Quá trình tuyền 7-bits địa chỉ và 1-bit RW, 1-bit ACK

7-bits địa chỉ là 0101010, 1-bit RW=1, 1-bit ACK=0

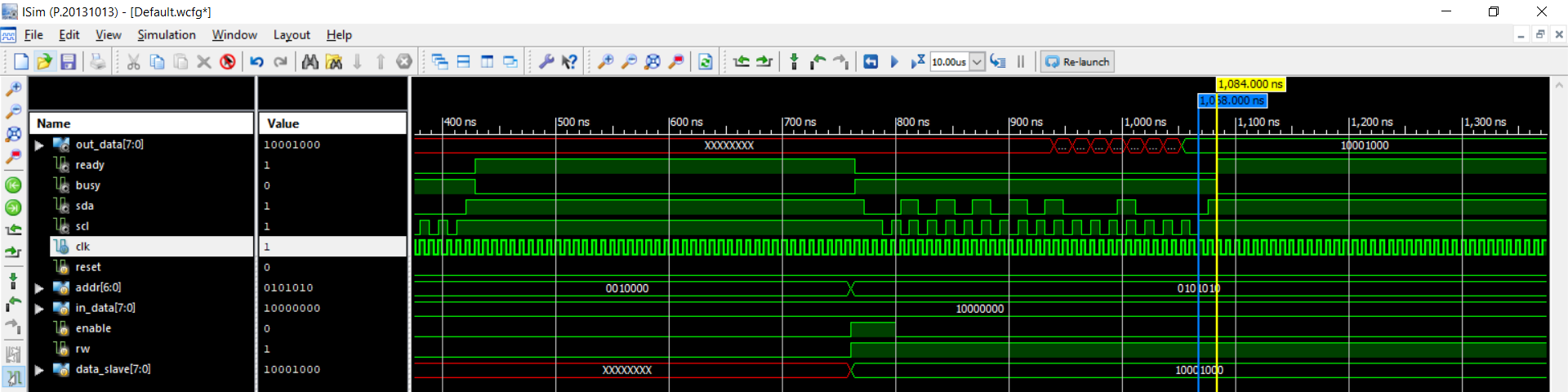


Quá trình truyền 8-bits dữ liệu

8-bits dữ liệu là 10001000



Trạng thái stop



Test tín hiệu reset

